

JP 6060658 - 303.623us5

1/9/1

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04416758 **Image available**

SEMICONDUCTOR STORAGE DEVICE

PUB. NO.: 06-060658 JP 6060658 A]
PUBLISHED: March 04, 1994 (19940304)
INVENTOR(s): YAMAMOTO HIROSHI
NAGAI KENJI
FURUYAMA TAKAAKI
APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)
FUJITSU VLSI LTD [491219] (A Japanese Company or Corporation)
, JP (Japan)
APPL. NO.: 04-208273 [JP 92208273]
FILED: August 04, 1992 (19920804)
INTL CLASS: [5] G11C-011/409
JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 42.2
(ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)
JOURNAL: Section: P, Section No. 1751, Vol. 18, No. 303, Pg. 68, June
09, 1994 (19940609)

ABSTRACT

PURPOSE: To reduce a circuit area required to provide a DC-LOAD circuit for resetting a potential of data bus of a semiconductor storage device and a control circuit for controlling the same DC-LOAD circuit.

CONSTITUTION: A write amplifier 14 is constituted by transistors Tpu, Tpd connected to data buses DB, /DB and a logic circuit 16 for driving these transistors Tpu, Tpd based on a binary control signal for setting the write or read mode and also a binary data D. The logic circuit 16 operates to reset the potential of the data bus to the equal voltage by turning on the transistor Tpu and simultaneously turning OFF the transistor Tpd based on a control signal .phi.(sub 3) for setting the read mode and also cause the transistors Tpu, Tpd to output a complementary signal to the data bus based on the control signal .phi.(sub 3) and write data D for setting the write mode.

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特 開 平 6 - 60658

(43) 公開日 平成 6 年 (1994) 3 月 4 日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/409		6741-5L	G 1 1 C 11/34	3 5 4 A

審査請求 未請求 請求項の数 3 (全 13 頁)

(21) 出願番号 特願平4-208273

(22) 出願日 平成 4 年 (1992) 8 月 4 日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71) 出願人 000237817

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町 2 丁目1844番 2

(72) 発明者 山本 浩史

愛知県春日井市高蔵寺町 2 丁目1844番 2

富士通ヴィエルエスアイ株式会社内

(72) 発明者 永井 寛治

愛知県春日井市高蔵寺町 2 丁目1844番 2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 弁理士 恩田 博宣

最終頁に続く

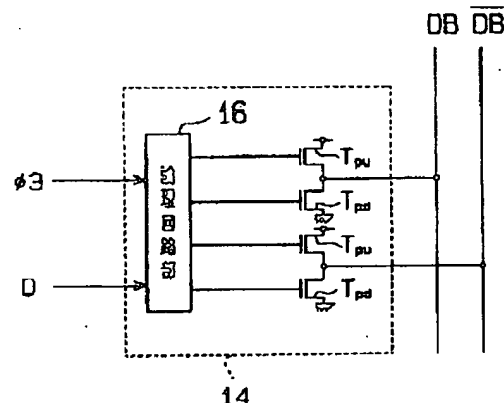
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 本発明は半導体記憶装置のデータバスの位位をリセットするDC-LOAD回路と、前DC-LOAD回路を制御する制御回路を形成するために要する回路面積を縮小することを目的とする。

【構成】 ライトアンプ14は、データバスDB、ワードBに接続されるトランジスタTpu、Tpdと、書き込み若しくは読出しモードを設定する二位信号である制御信号φ3と、同じく二位信号である書き込みデータDとに基づいて各トランジスタTpu、TpdをONする制御回路部16とから構成され、制御回路部16は読出しモードを設定する制御信号φ3に基づいてトランジスタTpuをオンさせると同時にトランジスタTpdをオフさせてデータバスの位位を同一位位にリセットし、書き込みモードを設定する制御信号φ3と書き込みデータDとに基づいて各トランジスタTpu、Tpdからデータバスに相対信号を出力させるように動作する。

本発明の回路図



(2)

特開平6-60658

1

【特許請求の範囲】

【請求項1】 データバス（DB、バーDB）にライトアンプ（14）を接続し、書き込みモード時には前記ライトアンプ（14）から出力される相補信号に基づいて、選択された記憶セルにセル荷電を書き込み、読出しモード時には読出し動作に先立ってデータバス（DB、バーDB）を同一電位にリセットする半導体記憶装置であって、

前記ライトアンプ（14）は、前記データバス（DB、バーDB）にそれぞれ接続されるプルアップ用トランジスタ（Tpu）及びプルダウン用トランジスタ（Tpd）と、書き込みモード若しくは読出しモードのいずれかを設定する二値信号である制御信号（φ3）と、同じく二値信号である書き込みデータ（D）とに基づいて前記各トランジスタ（Tpu、Tpd）を駆動する駆動回路部（16）とから構成し、

前記駆動回路部（16）は読出しモードを設定する前記制御信号（φ3）に基づいて前記プルアップ用トランジスタ（Tpu）をオンさせると同時に前記プルダウン用トランジスタ（Tpd）をオフさせて前記データバス（DB、バーDB）の電位を同一電位にリセットし、書き込みモードを設定する前記制御信号（φ3）と前記書き込みデータ（D）とに基づいて前記各トランジスタ（Tpu、Tpd）から前記データバス（DB、バーDB）に相補信号を出力させるように動作することを特徴とする半導体記憶装置。

【請求項2】 前記駆動回路部は、書き込みモード時にHレベル、読出しモード時にLレベルとなる前記制御信号（φ3）をNAND回路（6d、6e）の一方の入力端子に入力し、前記NAND回路（6d）の他方の入力端子にはインバータ回路（7h）を介して前記書き込みデータ（D）を入力し、前記NAND回路（6e）の他方の入力端子には前記書き込みデータ（D）を直接入力し、前記NAND回路（6d）の出力信号は前記データバス（DB）のプルアップ用トランジスタ（Tr7）のゲートに入力するとともにインバータ回路（7i）を介して前記データバス（DB）のプルダウン用トランジスタ（Tr8）のゲートに入力し、前記NAND回路（6e）の出力信号は前記データバス（バーDB）のプルアップ用トランジスタ（Tr9）のゲートに入力するとともにインバータ回路（7j）を介して前記データバス（バーDB）のプルダウン用トランジスタ（Tr10）のゲートに入力するように構成し、前記プルアップ用トランジスタ（Tr7、Tr9）及びプルダウン用トランジスタ（Tr8、Tr10）はNチャネルMOSトランジスタで構成したことを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記駆動回路部は、書き込みモード時にHレベル、読出しモード時にLレベルとなる前記制御信号（φ3）をNAND回路（6g、6h）の一方の入力端子に入力し、前記NAND回路（6g）の他方の入力

2

端子にはインバータ回路（7n）を介して前記書き込みデータ（D）を入力し、前記NAND回路（6h）の他方の入力端子には前記書き込みデータ（D）を直接入力し、前記NAND回路（6g）の出力信号はインバータ回路（7q）を介してCMOSインバータ回路（7s）に入力するとともに前記CMOSインバータ回路（7s）の出力端子を前記データバス（バーDB）に接続し、前記NAND回路（6h）の出力信号はインバータ回路（7p）を介してCMOSインバータ回路（7r）に入力するとともに前記CMOSインバータ回路（7r）の出力端子を前記データバス（DB）に接続したことを特徴とする請求項1記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は書き込み機能を備えた半導体記憶装置に関するものである。近年の半導体記憶装置は益々大規模化及び大容量化が進み、その回路面積も増大する傾向にある。そのため、大規模化及び大容量化を図りながら回路面積の増大を抑制することが要請されている。

【0002】

【従来の技術】 従来のDRAMの一例を図8に従って説明すると、多数対のビット線BL、バーBLは伝送ゲートTrgを介してデータバスDB、バーDBに接続されている。

【0003】 前記伝送ゲートTrgには前記ビット線BL、バーBLの各対毎にコラムデコーダ1からのコラム選択信号CLが入力され、そのコラム選択信号CLによりいずれかの対のビット線BL、バーBLが前記データバスDB、バーDBに接続される。

【0004】 前記データバスDB、バーDBにはセンスバッファ2が接続され、同データバスDB、バーDBに読み出されたセル荷電はセンスバッファ2で増幅されて出力される。

【0005】 前記データバスDB、バーDBにはDC-LOAD回路3が接続されている。すなわち、そのDC-LOAD回路3はNチャネルMOSトランジスタTr1、Tr2のソースが前記データバスDB、バーDBに接続され、同トランジスタTr1、Tr2のドレインは電源Vccに接続されている。

【0006】 前記トランジスタTr1、Tr2のゲートには制御回路4から制御信号φ1が入力される。そして、同制御信号φ1がHレベルとなると、前記各トランジスタTr1、Tr2がオンされてデータバスDB、バーDBが電源Vccから同トランジスタTr1、Tr2のしきい値分低下したレベルにリセットされる。

【0007】 前記データバスDB、バーDBにはライトアンプ5が接続されている。そのライトアンプ5に前記制御回路4から前記制御信号φ1とは相補関係の制御信号φ2が入力されるとともに、外部から書き込みデータ

(3)

特開平6-60658

3

4

Dが入力される。

【0008】すなわち、前記制御信号φ2はNAND回路6a、6bの一方の入力端子に入力され、同NAND回路6aの他方の入力端子には前記書き込みデータDが入力されている。また、NAND回路6bの他方の入力端子には前記書き込みデータDがインバータ回路7aで反転されて入力されている。

【0009】前記NAND回路6aの出力信号はインバータ回路7bを介してNチャネルMOSトランジスタTr3、Tr6のゲートに入力され、NAND回路6bの出力信号はインバータ回路7cを介してNチャネルMOSトランジスタTr4、Tr5のゲートに入力されている。

【0010】前記トランジスタTr3、Tr4は電源Vccと電源Vssとの間で直列に接続され、前記トランジスタTr5、Tr6は電源Vccと電源Vssとの間で直列に接続されている。また、前記トランジスタTr3、Tr4間が前記データバスDBに接続され、前記トランジスタTr5、Tr6間がデータバス・バーDBに接続されている。

【0011】従って、前記制御信号φ2がLレベルとなるとインバータ回路7b、7cの出力信号はともにLレベルとなってトランジスタTr3~Tr6はオフされる。また、前記制御信号φ2がHレベルとなった状態で、前記書き込みデータDがHレベルとなると、インバータ回路7bの出力信号がHレベルとなるとともにインバータ回路7cの出力信号がLレベルとなる。

【0012】すると、トランジスタTr3、Tr6がオンされるとともにトランジスタTr4、Tr5がオフされるため、データバスDBはHレベル、データバス・バーDBはLレベルとなる。

【0013】また、前記制御信号φ2がHレベルとなった状態で、前記書き込みデータDがLレベルとなると、データバスDBはLレベル、データバス・バーDBはHレベルとなる。

【0014】前記制御回路4の構成を図9に従って説明すると、このDRAMの動作を制御する基準制御信号RASバーはインバータ回路7dに入力される。基準制御信号CASバーはインバータ回路7eに入力され、書き込み制御信号WEバーはNOR回路8aの一方の入力端子に入力されている。

【0015】前記インバータ回路7d、7eの出力信号はNAND回路6cに入力され、同NAND回路6cの出力信号は前記NOR回路8aの他方の入力端子に入力されている。

【0016】前記NOR回路8aの出力信号はAND回路9a及びNOR回路8bの一方の入力端子に入力され、AND回路9a及びNOR回路8bの他方の入力端子には前記NOR回路8aの出力信号がインバータ回路7f、7gを介して入力されている。

【0017】そして、前記AND回路9aから前記制御信号φ2が出力され、前記NOR回路8bから前記制御

信号φ1が出力されている。前記各ビット線BL、バーBLに接続される回路群を図10に従って説明すると、ビット線BL、バーBL間にはCMOS形成のフリップフロップ回路によるセンスアンプSAが接続され、同センスアンプSAには電源V1、V2が供給される。

【0018】そして、前記センスアンプSAが活性化される場合は前記電源V2として電源Vccが供給されると同時に電源V1として電源Vssが供給され、両電源V1、V2がともに1/2Vccレベルとなると、同センスアンプSAが不活性状態となる。

【0019】前記ビット線BL、バーBLと多数本のワード線WL0~WLnとの間には多数の記憶セルCが接続される。ロウデコーダ(図示しない)によりワード線WL0~WLn+1の中からいずれか一本のワード線が選択されて同ワード線の電位がHレベルとなると、選択されたワード線に接続されている記憶セルCに対し、ビット線BL、バーBLを介してセル情報の書き込みあるいは読出し動作が行われる。

【0020】前記ビット線BL、バーBLにはNチャネルMOSトランジスタで構成されるリセットトランジスタTr7、Tr8を介してリセット電位である1/2Vccが供給される。両ビット線BL、バーBLは同じくNチャネルMOSトランジスタで構成されるリセットトランジスタTr9を介して接続されている。

【0021】そして、書き込み及び読出し動作に先立つビット線BL、バーBLのリセット動作時には、各トランジスタTr7~Tr9にHレベルのリセット信号Aが入力されて各トランジスタTr7~Tr9がオンすることにより、両ビット線BL、バーBLの電位が1/2Vccにリセットされる。

【0022】次に、上記のように構成されたDRAMのセル情報の書き込み動作を図11に従って説明する。書き込み動作に先立って、Hレベルとなっている書き込み制御信号WEバーにより制御回路4から出力される制御信号φ1はHレベル、φ2はLレベルとなる。

【0023】すると、DC-LOAD回路3のトランジスタTr1、Tr2はオンされて、データバスDB、バーDBは電源Vccから前記トランジスタTr1、Tr2のしきい値分低下したレベルにリセットされている。

【0024】この状態で、前記基準制御信号RASバーのLレベルへの立ち下がりに基づいて前記リセット信号AがHレベルからLレベルに引き下げられ、次いで例えばワード線WLnが選択されてその電位がHレベルに引き上げられる。

【0025】すると、当該ワード線WLnに接続されている記憶セルCに接続されているセル情報に基づいて当該ビット線BL、バーBLに小さな電位差が生じる。ここで、センスアンプSAに電源V1として電源Vssが供給され、電源V2として電源Vccが供給されて、同センスアンプSAが活性化されてビット線BL、バーBLの

(4)

特開平6-60658

5

電位差が拡大される。

【0026】次いで、前記コラムデコーダ1から出力されるコラム選択信号CLにより当該ビット線BL、バーBLに接続された伝送ゲートTrgがオンされ、同ビット線BL、バーBLに読み出されたセル情報がデータバスDB、バーDBに伝送される。

【0027】すると、当該ビット線BL、バーBLに読み出されたセル情報に基づいてデータバスDB、バーDBに電位差が生じ、図11に示すように例えばデータバスDBの電位がデータバス・バーDBの電位より低く低下する。

【0028】次いで、書き込み制御信号WEバーと基準制御信号CASバーがLレベルとなると書き込みモードとなり、前記制御回路4から出力される制御信号φ2はHレベル、同φ1はLレベルとなる。従って、DC-LOAD回路3のトランジスタTr1、Tr2はオフされる。

【0029】ここで、例えばライトアンプ5にHレベルの書き込みデータDが入力されると、ライトアンプ5のトランジスタTr3、Tr6がオンされるとともに、トランジスタTr4、Tr5がオフされる。

【0030】すると、データバスDBはHレベル、すなわち電源VccからトランジスタTr3のしきい値分低下した電位に引き上げられる。また、データバス・バーDBはLレベル、すなわち電源Vssレベルに引き下げられ、これにともなってビット線BLがHレベル、ビット線・バーBLがLレベルとなってセンスアンプSAの動作も反転され、前記書き込みデータDに基づくセル情報が当該記憶セルに書き込まれる。

【0031】次いで、コラム選択信号CLがLレベルとなって前記ビット線BL、バーBLとデータバスDB、バーDBとが切り離される。すると、前記制御回路2から出力される制御信号φ2はLレベル、制御信号φ1はHレベルとなって、ライトアンプ5の各トランジスタTr3~Tr6はオフされ、DC-LOAD回路3の各トランジスタTr1、Tr2はオンされる。

【0032】従って、データバスDB、バーDBは電源Vccから各トランジスタTr1、Tr2のしきい値分だけ低下した電位にリセットされる。次いで、選択されていたワード線WL_nがLレベルに復帰し、センスアンプSAに供給される電圧V1、V2が1/2 Vccにリセットされて同センスアンプSAが不活性化される。

【0033】さらに、リセット信号AがHレベルに立ち上げられてビット線BL、バーBLが1/2 Vccのレベルにリセットされて次の動作を持つ状態となる。一方、前記DRAMのセル情報の読出し動作を説明すると、前記書き込み動作のリセット信号Aの立ち上がりからコラム選択信号CLの立ち上がりまでの動作は読出し動作でも同様である。

【0034】そして、基準制御信号RASバー、CASバーがLレベルとなり、かつ書き込み制御信号WEバー

6

がHレベルに維持されるため、図12に示すように制御回路4から出力される制御信号φ2はLレベルに維持され、制御信号φ1はHレベルに維持される。

【0035】従って、DC-LOAD回路3のトランジスタTr1、Tr2がオンされて、データバスDB、バーDBは電源Vccから同トランジスタTr1、Tr2のしきい値分だけ低下した電位に維持される。

【0036】この状態で、選択された記憶セルからビット線BL、バーBLにセル情報が読み出されて同ビット線BL、バーBL間に電位差が生じ、その電位差がセンスアンプSAで増幅される。

【0037】そして、そのセンスアンプSAの出力信号に基づいて図12に示すようにデータバスDB、バーDBに電位差が生じ、その電位差をセンスバッファ2で増幅してセル情報として出力する。

【0038】次いで、コラム選択信号CLにより別の対のビット線BL、バーBLを選択して同様な動作によりセル情報を読み出す。

【0039】

20 【発明が解決しようとする課題】ところが、上記のようなDRAMでは読出し動作時にはデータバスDB、バーDBを電源Vccに近いレベルにリセットして読出し動作の高速化を図るためのDC-LOAD回路3とライトアンプ5とが別個に必要となる。さらに、そのDC-LOAD回路3とライトアンプ5の動作を制御するための制御回路4が必要となる。

【0040】そのため、DC-LOAD回路3とライトアンプ5を制御するための制御回路4が複雑化するとともに、制御回路4及びDC-LOAD回路3を設けるために要する面積が増大するという問題点がある。

30 【0041】この発明の目的は、半導体記憶装置のデータバスの電位をリセットするDC-LOAD回路と、同DC-LOAD回路を制御する制御回路を形成するために要する回路面積を小さくすることにある。

【0042】

【記憶を解決するための手段】図1は本発明の原理説明図である。すなわち、データバスDB、バーDBにライトアンプ14を接続し、書き込みモード時には前記ライトアンプ14から出力される相対信号に基づいて、選択された記憶セルにセル情報を書き込み、読出しモード時には読出し動作に先立ってデータバスDB、バーDBを同一電位にリセットする半導体記憶装置で、前記ライトアンプ14は、前記データバスDB、バーDBにそれぞれ接続されるプルアップ用トランジスタTpu及びプルダウントランジスタTpdと、書き込みモード若しくは読出しモードのいずれかを設定する二値信号である制御信号φ3と、同じく二値信号である書き込みデータDとに基づいて前記各トランジスタTpu、Tpdを制御する制御回路部16とから構成され、前記制御回路部16は読出しモードを設定する前記制御信号φ3に基づいて前記プル

(5)

特開平6-60658

7

アップ用トランジスタ T_{pu} をオンさせると同時に前記ブルダウン用トランジスタ T_{pd} をオフさせて前記データバスDB、バーDBの電位を同一電位にリセットし、書き込みモードを設定する前記制御信号 ϕ_3 と前記書き込みデータDとに基づいて前記各トランジスタ T_{pu} 、 T_{pd} から前記データバスDB、バーDBに相対信号を出力させるように動作する。

【0043】また、図3に示すように前記処理回路部は、書き込みモード時にHレベル、読出しモード時にLレベルとなる前記制御信号 ϕ_3 がNAND回路6d、6eの一方の入力端子に入力され、前記NAND回路6dの他方の入力端子にはインバータ回路7hを介して前記書き込みデータDが入力され、前記NAND回路6eの他方の入力端子には前記書き込みデータDが直接入力され、前記NAND回路6dの出力信号は前記データバスDBのブルアップ用トランジスタ T_{r7} のゲートに入力されるとともにインバータ回路7iを介して前記データバスDBのブルダウン用トランジスタ T_{r8} のゲートに入力され、前記NAND回路6eの出力信号は前記データバス・バーDBのブルアップ用トランジスタ T_{r9} のゲートに入力されるとともにインバータ回路7jを介して前記データバス・バーDBのブルダウン用トランジスタ T_{r10} のゲートに入力されるように構成され、前記ブルアップ用トランジスタ T_{r7} 、 T_{r9} 及びブルダウン用トランジスタ T_{r8} 、 T_{r10} はNチャネルMOSトランジスタで構成される。

【0044】また、図7に示すように前記処理回路部は、書き込みモード時にHレベル、読出しモード時にLレベルとなる前記制御信号 ϕ_3 がNAND回路6g、6hの一方の入力端子に入力され、前記NAND回路6gの他方の入力端子にはインバータ回路7nを介して前記書き込みデータDが入力され、前記NAND回路6hの他方の入力端子には前記書き込みデータDが直接入力され、前記NAND回路6gの出力信号はCMOSインバータ回路7sに入力されるとともに前記CMOSインバータ回路7sの出力端子が前記データバス・バーDBに接続され、前記NAND回路6hの出力信号はCMOSインバータ回路7rに入力されるとともに前記CMOSインバータ回路7rの出力端子が前記データバスDBに接続される。

【0045】

【作用】制御信号 ϕ_3 により読出しモードが設定されると、読出し回路部16は書き込みデータDに関わらず、各データバスDB、バーDBに接続されるブルアップ用トランジスタ T_{pu} がオンされると同時にブルダウン用トランジスタ T_{pd} がオフされて、データバスDB、バーDBが同一電位にリセットされる。

【0046】また、制御信号 ϕ_3 により書き込みモードが設定されると、読出し回路部16は前記書き込みデータDに基づいて前記各トランジスタ T_{pu} 、 T_{pd} から前記デ

8

ータバスDB、バーDBに相対信号を出力する。

【0047】

【実施例】以下、この発明を具体化した一実施例を図2～図6に従って説明する。なお、前記実施例と同一構成部分は同一符号を付して説明する。

【0048】図2に示すように、DRAMは多数の記憶セルから構成される行列のメモリセルアレイ10a、10bに対しそれぞれロウデコーダ11a、11bが設けられる。

【0049】前記各ロウデコーダ11a、11bに入力されるロウアドレス信号に基づいて、各ロウデコーダ11a、11bにより当該メモリセルアレイ10a、10b内のワード線が選択される。

【0050】なお、図2に示すコラムデコーダ1、データバスDB、バーDB、センスアンプSA及びメモリセルアレイ10a、10bは、図10に示す構成となっている。

【0051】メモリセルアレイ10a、10b間に設けられるコラムデコーダ1にはコラムアドレス信号が入力され、同コラムアドレス信号に基づいて各メモリセルアレイ10a、10b内のビット線が選択される。

【0052】各メモリセルアレイ10a、10bに接続してそれぞれ行列対のデータバスDB、バーDBが設けられる。前記ロウデコーダ11a、11b及びコラムデコーダ1により選択された記憶セルからセル情報を読み出す場合には、選択されたビット線に読み出されたセル情報がセンスアンプSAで増幅されて当該データバスDB、バーDBに伝達される。

【0053】そして、同データバスDB、バーDBからセンスバッファ2及び出力回路12を介して入出力端子DQ1～DQ4から出力される。また、前記ロウデコーダ11a、11b及びコラムデコーダ1により選択された記憶セルにセル情報を書き込む場合には、入出力端子DQ1～DQ4に入力される書き込みデータが入力回路13を介してライトアンプ14に入力される。

【0054】そして、同ライトアンプ14に入力される制御信号 ϕ_3 に基づいて同ライトアンプ14が活性化されると、同ライトアンプ14から当該データバスDB、バーDB、センスアンプSA及び当該ビット線を介して選択された記憶セルに前記書き込みデータが新たなセル情報として書き込まれる。

【0055】前記ライトアンプ14の構成を図3に従って説明すると、同ライトアンプ14には制御回路15から制御信号 ϕ_3 がNAND回路6d、6eの一方の入力端子に入力されている。

【0056】前記NAND回路6dの他方の入力端子には書き込みデータDがインバータ回路7hを介して入力され、前記NAND回路6eの他方の入力端子には前記書き込みデータDが直接入力されている。

【0057】前記NAND回路6dの出力信号はNチャ

(6)

特開平6-60658

9

ネルMOSトランジスタTr7のゲートに入力されるとともに、インバータ回路7 iを介してNチャネルMOSトランジスタTr8のゲートに入力されている。

【0058】そして、両トランジスタTr7, Tr8は同トランジスタTr7を高電位側として電源Vccと電源Vssとの間で直列に接続され、両トランジスタTr7, Tr8両がデータバスDBに接続されている。

【0059】また、前記NAND回路6 eの出力信号はNチャネルMOSトランジスタTr9のゲートに入力されるとともに、インバータ回路7 jを介してNチャネルMOSトランジスタTr10のゲートに入力されている。

【0060】そして、両トランジスタTr9, Tr10は同トランジスタTr9を高電位側として電源Vccと電源Vssとの間で直列に接続され、両トランジスタTr9, Tr10両がデータバス・バーDBに接続されている。

【0061】このような構成により、制御回路15から出力される制御信号φ3がLレベルとなるとNAND回路6 d, 6 cの出力信号はHレベルとなり、インバータ回路7 i, 7 jの出力信号はLレベルとなる。

【0062】従って、前記トランジスタTr7, Tr9はオンされるとともに、トランジスタTr8, Tr10がオフされてデータバスDB、バーDBは電源VccからトランジスタTr7, Tr9のしきい値分低下した電位に維持される。

【0063】また、前記制御信号φ3がHレベルとなった状態で書き込みデータDがHレベルとなると、トランジスタTr7, Tr10がオンされるとともに、トランジスタTr8, Tr9がオフされて、データバスDBはHレベル、データバス・バーDBはLレベルとなる。

【0064】また、前記制御信号φ3がHレベルとなった状態で書き込みデータDがLレベルとなると、トランジスタTr7, Tr10がオフされるとともに、トランジスタTr8, Tr9がオンされて、データバスDBはLレベル、データバス・バーDBはHレベルとなる。

【0065】なお、各ビット線BL, バーBLに接続されるセンスアンプSA、多数の記憶セルC及びビット線電位リセット回路等の構成は図10に示す前記従来例と同一である。

【0066】前記制御回路15の構成を図4に従って説明すると、基址制御信号RASバーはインバータ回路7 kに入力され、基址制御信号CASバーはインバータ回路7 mに出力される。

【0067】前記インバータ回路7 k, 7 mの出力信号はNAND回路6 fに入力され、同NAND回路6 fの出力信号はNOR回路8 cの一方の入力端子に入力されている。

【0068】また、前記NOR回路8 cの他方の入力端子には書き込み制御信号WEバーが入力され、同NOR回路8 cから前記制御信号φ3が出力信号として出力されている。

10

【0069】従って、基址制御信号RASバー、CASバーがともにLレベルとなって書き込み制御信号WEバーがLレベルとなると、制御信号φ3がHレベルとなり、基址制御信号RASバー、CASバーがともにLレベルとなって書き込み制御信号WEバーがHレベルとなると、制御信号φ3がLレベルとなる。

【0070】次に、上記のように構成されたDRAMの作用を説明する。さて、書き込み動作を行う場合には、図5に示すように前記基址制御信号RASバーのLレベルへの立ち下がりに基づいてリセット信号AがHレベルからLレベルに引き下げられる。

【0071】この状態で例えばワード線WLnが選択されてその電位がHレベルに引き上げられると、当該ワード線WLnに接続されている記憶セルCに格納されているセル情報に基づいて各ビット線BL, バーBLに個かな電位差が生じる。

【0072】ここで、センスアンプSAに電源V1として電源Vssが供給され、電源V2として電源Vccが供給されて、同センスアンプSAが活性化されてビット線BL, バーBLの電位差が拡大される。

【0073】次いで、前記コラムデコーダ1から出力されるコラム選択信号CLにより当該ビット線BL, バーBLに接続された伝送ゲートTrgがオンされ、同ビット線BL, バーBLに読み出されたセル情報がデータバスDB, バーDBに伝送される。

【0074】すると、当該ビット線BL, バーBLに読み出されたセル情報に基づいてデータバスDB, バーDBに個かな電位差が生じ、図5に示すように例えばデータバスDBの電位がデータバス・バーDBの電位より個かに低下する。

【0075】次いで、書き込み制御信号WEバーと基址制御信号CASバーがLレベルとなると書き込みモードとなり、前記制御回路15から出力される制御信号φ3はHレベルとなる。

【0076】ここで、例えばライトアンプ14にHレベルの書き込みデータDが入力されると、ライトアンプ14のトランジスタTr7, Tr10がオンされるとともに、トランジスタTr8, Tr9がオフされる。

【0077】すると、データバスDBはHレベルに引き上げられるとともに、データバス・バーDBはLレベルに引き下げられる。これにともなってビット線BLがHレベル、ビット線・バーBLがLレベルとなってセンスアンプSAの動作も反転され、前記書き込みデータDに基づくセル情報が当該記憶セルに書き込まれる。

【0078】次いで、コラム選択信号CLがLレベルとなって伝送ゲートTrgがオフされ、前記ビット線BL, バーBLとデータバスDB, バーDBとが切り離される。すると、前記制御回路15から出力される制御信号φ3はLレベルとなって、ライトアンプ14の各トランジスタTr7, Tr9はオンされ、トランジスタTr8, Tr10

(7)

特開平6-60658

11

0 はオフされる。

【0079】従って、この状態ではライトアンプ14のトランジスタTr7, Tr9がデータバスDB, パーDBに対するDC-LOAD回路として動作し、同データバスDB, パーDBは電源Vccから各トランジスタTr1, Tr2のしきい値分だけ低下した電位にリセットされる。

【0080】次いで、選択されていたワード線WLnがLレベルに復帰し、センスアンプSAに供給される電源V1, V2が $1/2 V_{cc}$ にリセットされて同センスアンプSAが不活性化される。

【0081】さらに、リセット信号AがHレベルに立ち上げられてビット線BL, パーBLが $1/2 V_{cc}$ のレベルにリセットされて次の動作を待つ状態となる。また、前記書き込みデータDがLレベルの場合はライトアンプ14の出力信号が反転し、データバスDB, パーDB及びビット線BL, パーBLを介して前記書き込みデータDに基づくセル情報が選択された記憶セルに書き込まれる。

【0082】一方、前記DRAMのセル情報の読出し動作を説明すると、前記書き込み動作のリセット信号Aの立ち上がりからコラム選択信号CLの立ち上がりまでの動作は読出し動作でも同様である。

【0083】そして、基準制御信号RASバー、CASバーがLレベルとなり、かつ書き込み制御信号WEバーがHレベルに維持されるため、図6に示すように制御回路15から出力される制御信号φ3はLレベルに維持される。

【0084】従って、ライトアンプ15のトランジスタTr7, Tr9がオンされるとともに、トランジスタTr8, Tr10 がオフされて、データバスDB, パーDBは電源Vccから同トランジスタTr1, Tr2のしきい値分だけ低下した電位に維持される。

【0085】そして、ビット線BL, パーBL読み出されたセル情報を増幅するセンスアンプSAの出力信号に基づいて、図6に示すようにデータバスDB, パーDBに電位差が生じ、その電位差をセンスバッファ2で増幅してセル情報として出力する。

【0086】次いで、コラム選択信号CLにより別の対のビット線BL, パーBLを選択して同様な動作によりセル情報を読み出す。以上のようにこの実施例のDRAMでは、基準制御信号RASバー、CASバー及び書き込み制御信号WEバーに基づいて書き込みモードが設定されると、制御回路15からライトアンプ14に出力される制御信号φ3がHレベルとなる。その制御信号φ3に基づいてライトアンプ14が活性化され、書き込みデータDに基づくセル情報が選択された記憶セルに書き込まれる。

【0087】また、基準制御信号RASバー、CASバー及び書き込み制御信号WEバーに基づいて読出しモードが設定されると、制御回路15からライトアンプ14

12

に出力される制御信号φ3がLレベルとなる。

【0088】その制御信号φ3に基づいてライトアンプ14のトランジスタTr7, Tr9がデータバスDB, パーDBに対するDC-LOAD回路として動作する。また、制御回路15は基準制御信号RASバー、CASバー及び書き込み制御信号WEバーに基づいてライトアンプ14に出力する制御信号φ3のみを生成する構成であるため、前記従来例の制御回路4に比して回路数を削減することができる。

【0089】従って、前記従来例ではDC-LOAD回路がライトアンプとは別個に必要であったが、本実施例ではライトアンプ14にDC-LOAD回路の機能を持たせることにより、同DC-LOAD回路を省略することができるとともに、制御回路15の回路規模を前記従来例より格納することができる。

【0090】この結果、DRAMの回路面積を小さくすることができ、データバスDB, パーDBの本数が増大するほど、その縮小効果も増大する。次に、この発明を具体化した第二の実施例を図7に従って説明すると、前記第一の実施例ではライトアンプ14のトランジスタTr7~Tr10 はすべてNチャネルMOSトランジスタで構成されたが、PチャネルMOSトランジスタとNチャネルMOSトランジスタとからCMOS構成とすることもできる。

【0091】すなわち、前記制御回路15から出力される制御信号φ3は、ライトアンプ14のNAND回路6g, 6hの一方の入力端子に入力され、NAND回路6gの他方の入力端子には、書き込みデータDがインバータ回路7nを介して入力される。

【0092】また、NAND回路6hの他方の入力端子には書き込みデータDが直接入力されている。前記NAND回路6gの出力信号はインバータ回路7qを介してPチャネルMOSトランジスタTr13とNチャネルMOSトランジスタTr14とから構成されるCMOSインバータ回路7sに出力される。同CMOSインバータ回路7sの出力信号がデータバス・パーDBに出力される。

【0093】前記NAND回路6hの出力信号はインバータ回路7pを介してPチャネルMOSトランジスタTr11とNチャネルMOSトランジスタTr12とから構成されるCMOSインバータ回路7rに出力され、同CMOSインバータ回路7rの出力信号がデータバスDBに出力される。

【0094】このような構成により、制御信号φ3がLレベルとなると、NAND回路6g, 6hの出力信号はHレベルとなってインバータ回路7p, 7qの出力信号はLレベルとなる。

【0095】従って、トランジスタTr11, Tr13がオンされるとともに、トランジスタTr12, Tr14がオフされ、データバスDB, パーDBの電位はほぼ電源Vccレベルにリセットされる。

(8)

特開平6-60658

13

【0096】一方、制御信号 $\phi 3$ がHレベルとなって書き込みモードが設定されると、このライトアンプ14が活性化されて書き込みデータDに基づくセル情報が選択された記憶セルに書き込まれる。

【0097】従って、このような構成のライトアンプ14により前記第一の実施例と同様な制御信号 $\phi 3$ に基づいて、書き込みモード時以外はトランジスタTr11、Tr13をDC-LOAD回路として動作させて、両データベースDB、バーDBを記憶Vccレベルにリセットすることができる。

【0098】また、書き込みモード時には書き込みデータDに基づいて、選択された記憶セルに所望のセル情報を書き込むことができるので、前記第一の実施例と同様な作用効果を得ることができる。

【0099】

【発明の効果】以上詳述したように、この発明は半導体記憶装置のデータベースに接続されるDC-LOAD回路と、同DC-LOAD回路及びライトアンプを制御する制御回路を形成するために要する回路面積を減小することができる優れた効果を発現する。

【図面の簡単な説明】

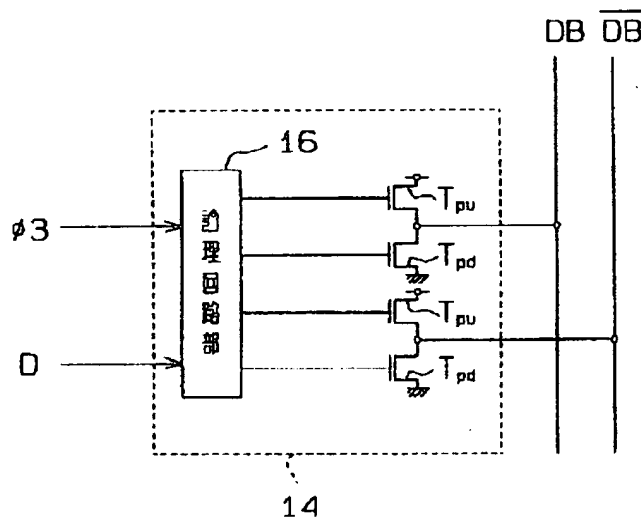
【図1】本発明の原形説明図である。

【図2】DRAMを示すブロック図である。

【図3】第一の実施例のライトアンプを示す回路図である。

【図1】

本発明の原形説明図



14

る。

【図4】第一の実施例のライトアンプ制御回路を示す回路図である。

【図5】第一の実施例の書き込み動作を示す波形図である。

【図6】第一の実施例の読出し動作を示す波形図である。

【図7】第二の実施例のライトアンプを示す回路図である。

10 【図8】従来例のライトアンプを示す回路図である。

【図9】従来例のライトアンプ制御回路を示す回路図である。

【図10】ビット線に接続される回路部を示す回路図である。

【図11】従来例の書き込み動作を示す波形図である。

【図12】従来例の読出し動作を示す波形図である。

【符号の説明】

14 ライトアンプ

16 制御回路部

20 DB, バーDB データバス

Trp ブルアップ用トランジスタ

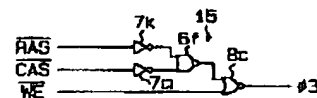
Trd ブルダウン用トランジスタ

φ3 制御信号

D 書き込みデータ

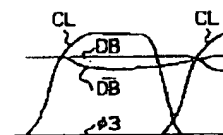
【図4】

第一の実施例のライトアンプ制御回路を示す回路図



【図6】

第一の実施例の読出し動作を示す波形図

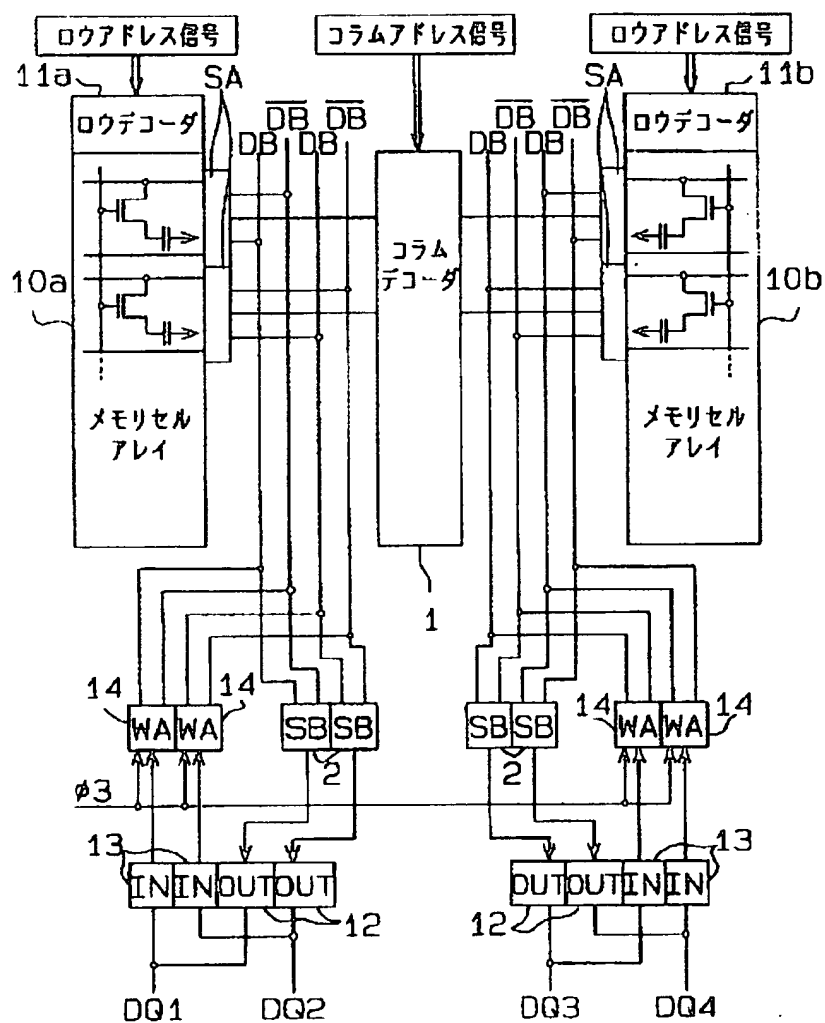


(9)

特開平6-60658

【図2】

DRAMを示すブロック図

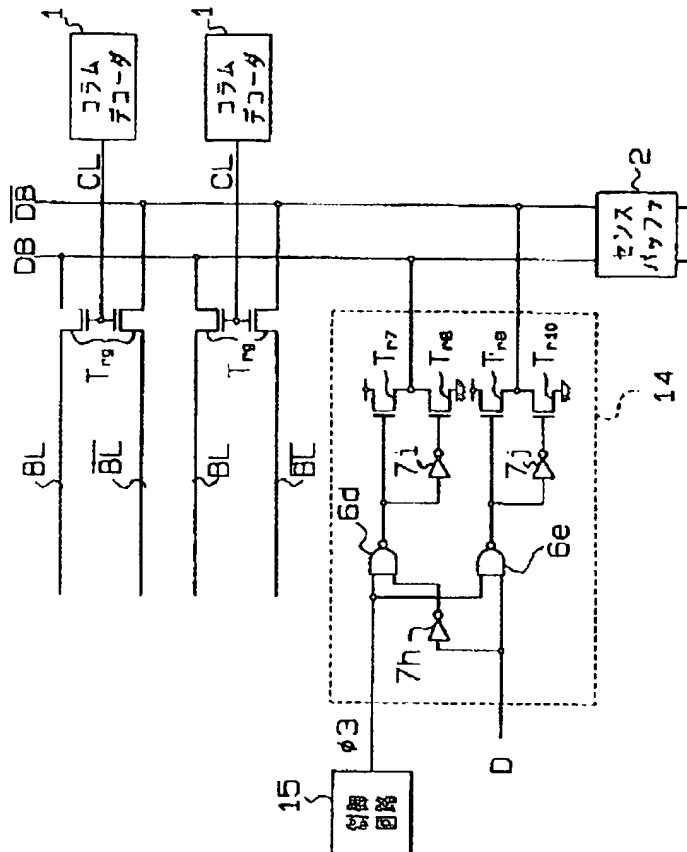


(10)

特開平 6-60658

【圖 3】

第一の実例のライトアップを示す回路図

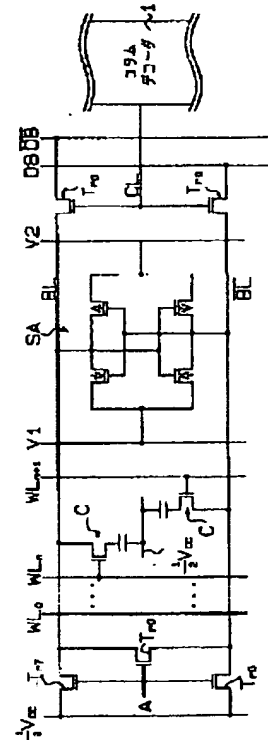


【圖 9】

図 2-2-10 右側アンプの動作を示す図

【图 10】

ビ、卜位に算出される回数を示す目録

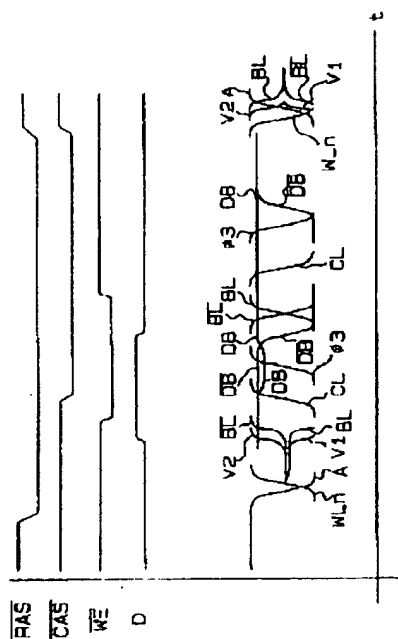


(11)

特開平6-60658

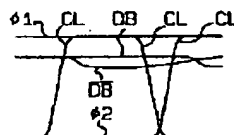
【図5】

図一の真上からの見た様子を示す回路図



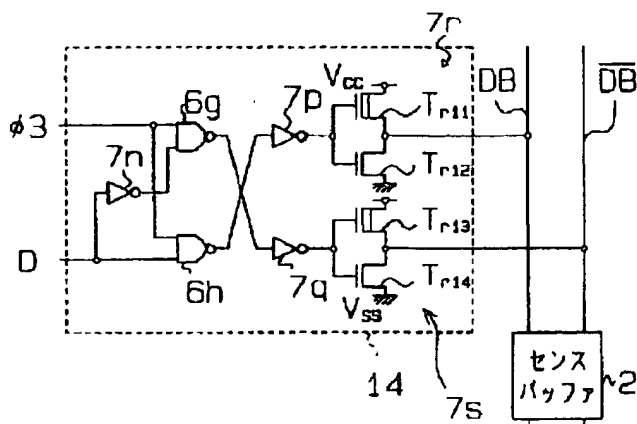
【図12】

図五の真上からの見た様子を示す回路図



【図7】

第二の実施例のライトアップを示す回路図

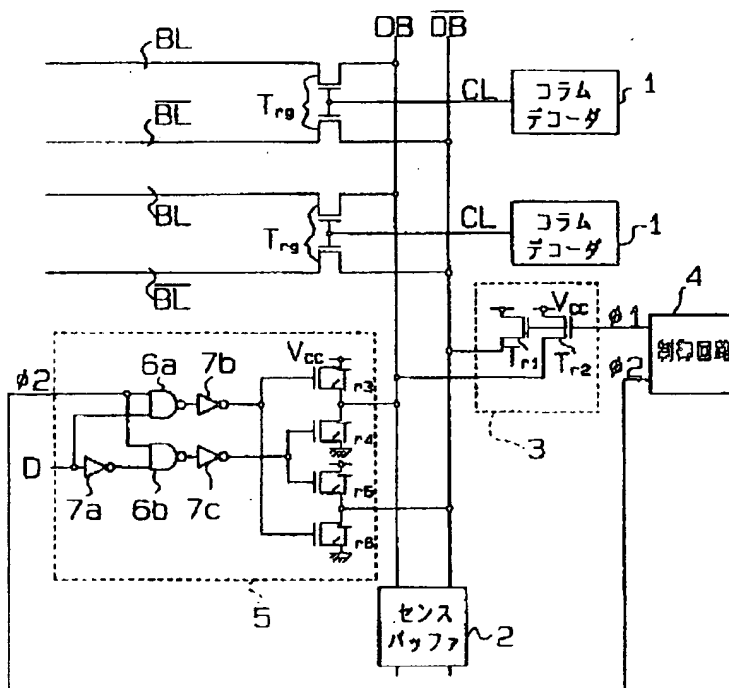


(12)

特開平6-60658

【図8】

従来例のライトアップを示す回路図



This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.